

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

4 / 7

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116113

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/108

H01L 21/8242

(21)Application number : 08-082907

(71)Applicant : SONY CORP

(22)Date of filing : 04.04.1996

(72)Inventor : KURODA HIDEAKI

(30)Priority

Priority number : 07208072 Priority date 15.08.1995 Priority country : JP

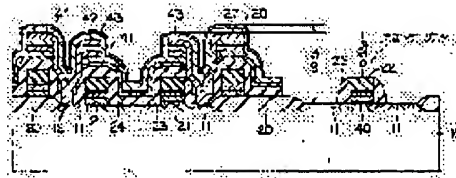
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high-speed operation of circuits excluding a memory cell without failing the holding property of the memory cell by providing a covering conductive layer on the surface of a diffusion layer of a field effect transistor for circuit and providing no covering conductive layer to the diffusion layer thereof.

SOLUTION: An oxide film and a BPSG film between polysilicon films 42 and 41 of an lower electrode are subjected to wet-etching through HF by using a silicon nitride 24 as a stopper. Then it is subjected to RTA in an atmosphere of ammonium, and a silicon nitride film is formed by CVD.

Further, the silicon nitride film is oxidized so as to form an ONO film 27 on the surface of a memory node, and an impurity doped polysilicon film 43 and a low-voltage CVD silicon nitride film for plate electrode are formed through CVD. Furthermore, it is subjected to resist patterning for plate electrode, and while the obtained resist is used as a mask, a silicon nitride film 28 and a polysilicon film 43 are etched.



LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection] 14.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-116113

(43)公開日 平成9年 (1997) 5月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 F
21/8242				6 2 1 C

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号 特願平8-82907
(22)出願日 平成8年 (1996) 4月4日
(31)優先権主張番号 特願平7-208072
(32)優先日 平7 (1995) 8月15日
(33)優先権主張国 日本 (J P)

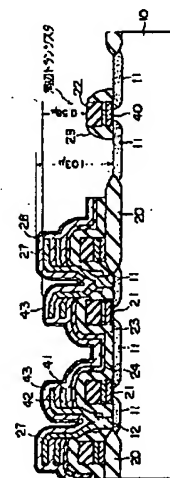
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 黒田 英明
東京都品川区北品川6丁目7番35号 ソニー
株式会社内
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 DRAMなどのメモリセルとロジックなどの回路とを搭載した半導体装置において、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置及びその製造方法を提供する。

【解決手段】 絶縁層で回路用電界効果型トランジスタを覆った後、メモリセルを形成し、メモリセル形成後、回路用電界効果型トランジスタの拡散層表面を露出させ、そして露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する。



【特許請求の範囲】

【請求項1】 メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置において、

該回路用電界効果型トランジスタの拡散層表面の一部又は全部に被覆導電層を有し、該メモリ用電界効果型トランジスタの拡散層には該被覆導電層を有しないことを特徴とする半導体装置。

【請求項2】 上記被覆導電層が金属又は金属合金で構成される請求項1記載の半導体装置。

【請求項3】 メモリセルがダイナミックランダムアクセスメモリで構成される請求項1記載の半導体装置。

【請求項4】 メモリセルとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成する半導体装置の製造方法において、

回路用電界効果型トランジスタを覆う絶縁層を形成する工程と、

メモリセルを形成する工程と、

該メモリセル形成後、回路用電界効果型トランジスタの拡散層表面の一部又は全部を露出させる工程と、

該露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 回路用電界効果型トランジスタを覆う絶縁層をエッチバックすることにより、該トランジスタの拡散層表面を露出させる請求項4記載の半導体装置の製造方法。

【請求項6】 メモリセルをパターニングするレジストをそのまま残して回路用電界効果型トランジスタを覆う絶縁層をエッチバックする請求項5記載の半導体装置の製造方法。

【請求項7】 メモリセルを構成する電極をマスクとして回路用電界効果型トランジスタを覆う絶縁層をエッチバックする請求項5記載の半導体装置の製造方法。

【請求項8】 上記エッチバックにより回路用電界効果型トランジスタのゲート電極側壁にサイドウォールを形成する請求項5記載の半導体装置の製造方法。

【請求項9】 回路用電界効果型トランジスタを覆う絶縁層に該トランジスタの拡散層に達する埋込用溝を形成して該拡散層の一部又は全部を露出させる工程と、該埋込用溝を導電体で埋めて被覆導電層を形成する工程とを有する請求項4記載の半導体装置の製造方法。

【請求項10】 上記被覆導電層が金属又は金属合金で構成される請求項4記載の半導体装置。

【請求項11】 メモリセルがダイナミックランダムアクセスメモリで構成される請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばDRAMなどのメモリセルと周辺回路やロジック回路等とを混載した半導体装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 パーソナルコンピュータやゲーム機器用に画像信号を高速で処理し、ディスプレイに表示するために、大容量のダイナミックランダムアクセスメモリ (DRAM) を搭載した高速ロジックデバイスが求められている。これは、汎用DRAMとロジックの2チップ構成では、DRAMとロジックでデータのやりとりを行う場合、バス幅に限界があるため、同時に大量のデータを送ることができず、処理スピードに限界があるためである。

【0003】 また、今後ロジックデバイスを高性能化していくためには、サリサイド技術 (ポリシリコンゲートとソース・ドレイン層上の両方にシリサイド層を形成する) を用いて、拡散層を低抵抗化する必要が生じてきている。しかしながら、DRAM部を構成するスイッチング用のMOSトランジスタの拡散層をサリサイド化した場合、サリサイド形成後のビット線形成のための熱処理やキャパシタ形成時の熱処理で、サリサイド化した拡散層の抵抗上昇や接合リークが上昇するという問題がある。

【0004】 この問題点を説明するため、サリサイド構造の従来のスタック型DRAMの形成工程を具体的に示す。まず、図17 (a) に示すように、基板111に素子分離領域 (LOCOS) 220を形成した後、ポリサイド及び絶縁膜を堆積、パターニングしてゲート電極221を形成する。そして、LDD用のイオン注入を行い、LDD拡散層112を形成する。次いで、酸化膜を堆積した後エッチバックすることによりサイドウォールを形成して電極を被覆する絶縁層222を形成する。その後、ソース・ドレイン用のイオン注入を行った後、拡散層を露出させてチタンの堆積、加熱により拡散層にシリサイド層223を形成する。

【0005】 その後、図17 (b) に示すように、下部電極用の不純物ドーパントポリシリコン膜224を形成し、続いてアニールを約800℃、10min程度窒素ガス中で行う。次いで、下部電極をパターニングした後、RTA (Rapid Thermal Anneal) を900℃で1分程度アンモニア雰囲気下で行い、次に窒化ケイ素膜をCVD (約700℃) で形成し、続いて窒化ケイ素膜を例えば850℃、10分、H₂+O₂の条件で酸化して誘電体膜 (ONO膜) 225を形成する。そして上部電極用の不純物ドーパントポリシリコン膜226をCVDで形成し、800℃程度でアニールした後、これをパターニングして図17 (b) に示したスタック型のDRAMを得ることができる。

【0006】 このように、拡散層をサリサイド化した後、DRAMのキャパシタを作ると、キャパシタ形成時

に800℃程度(上記例では合計して850℃で50分程度の熱処理)の熱処理が加わるために、せっかくサリサイド化した拡散層の抵抗が増大したり、接合リークが上昇するという問題がある。そのため、DRAMを高速のロジックデバイス上に on chip 化する場合は、DRAMのデータ保持特性が劣化するという問題がある。

【0007】そのため、DRAMを搭載したロジックデバイスでは、DRAMの接合リーク増大を抑制しながらロジックデバイスを高速化するため、サリサイド化しないDRAMを混載しつつロジック部の拡散層を低抵抗化するプロセスが必要になるが、このプロセスにおいても問題点がある。

【0008】図18に、スタック型汎用DRAMとロジック回路とを搭載したオンチップDRAMの断面図を示す。このDRAM部は、COB (Capacitor Over Bitline) 型で、キャパシタはいわゆるダブルシリンドラ型の構造である。この半導体装置の通常の製造工程を簡単に説明すると、基板111にLOCOS法などで素子分離領域230を形成し、アクティブ領域表面にゲート酸化膜を形成した後、不純物を導入したポリシリコン、タングステンシリサイド及び酸化珪素を順次CVDで成膜した後、これをパターニングしてゲート電極231を形成する。その後、ゲート電極231とLOCOS230をマスクとしてn型不純物をイオン注入してLDD112を形成する。そして、酸化珪素を厚く堆積した後、これをエッチバックしてサイドウォール232を形成した後、ソース・ドレイン用のイオン注入を行い、ソース・ドレイン113を形成する。その後、窒化珪素膜233を成膜した後、BPSG膜234を堆積し、平坦化する。ビットコンタクト235を開口し、不純物を導入したポリシリコン237とタングステンシリサイド238を積層した後パターニングしてビット線240を形成する。BPSG (Boro Phospho Silicate Glass) 241を堆積、平坦化した後、窒化珪素膜242を形成する。記憶ノードコンタクト245を開口し、その内壁に酸化珪素のサイドウォール246を形成した後、ノードコンタクト245をポリシリコン247で埋める。BPSGを数百nm堆積した後、記憶ノードの形状に窒化珪素膜242をエッチングストッパーとしてエッチングし、BPSG膜に溝を形成し、続いて不純物導入ポリシリコン250を堆積した後、溝の内壁にサイドウォールを形成する。その後、ポリシリコン膜251と酸化珪素膜を順次形成した後、酸化珪素膜をエッチバックしてポリシリコン膜を露出させ、続いてポリシリコン膜250をエッチングする。これによりサイドウォールが露出するので、サイドウォールを含む酸化珪素膜を除去する。これによりダブルシリンドラ構造の記憶ノードが形成される。次に、ポリシリコン表面にONO膜を形成した後、ポリシリコンを堆積し、更に酸化珪素膜253を堆積した後パターニングしてプレート電極を完成し、図18に

示すような構造のオンチップDRAMを得ることができ

る。
【0009】このような工程では、DRAM部を形成する際のビット線形成のための熱処理やキャパシタ形成のための熱処理(850℃以上、1時間以上のアニールに相当する)がかかる。このため、もしロジックトランジスタ部にサリサイドを形成すると、サリサイドを形成した後、DRAM部を形成するために、サリサイド拡散層の抵抗上昇や接合リークが上昇するといった問題が発生する。

【0010】従って、サリサイドをロジック部のトランジスタに適用したスタック型汎用DRAMセル搭載の高速ロジックデバイスは、実現不可能であると考えられている。しかしながら、現在、画像信号処理用の大容量のDRAMを搭載した高速ロジックデバイスが求められている。

【0011】本発明は、上記事情に鑑みなされたもので、DRAMなどのメモリセルとロジックなどの回路とを搭載した半導体装置において、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するため、メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置において、該回路用電界効果型トランジスタの拡散層表面の一部又は全部に被覆導電層を有し、該メモリ用電界効果型トランジスタの拡散層には該被覆導電層を有しないことを特徴とする半導体装置を提供する。

【0013】また、本発明は、メモリセルとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成する半導体装置の製造方法において、回路用電界効果型トランジスタを覆う絶縁層を形成する工程と、メモリセルを形成する工程と、該メモリセル形成後、回路用電界効果型トランジスタの拡散層表面の一部又は全部を露出させる工程と、該露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0014】本発明の半導体装置は、メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置であり、回路用電界効果型トランジスタの拡散層表面の一部又は全部に、例えば金属又は金属合金で構成される被覆導電層が形成されており、メモリ用電界効果型トランジスタの拡散層にはこのような被覆導電層が形成されていない。

【0015】従って、メモリセルがシリサイド等の導電

層を有さない拡散層に形成されているので、接合リークが増大することはない。また、メモリセル以外の回路を構成するトランジスタの拡散層のみに導電層を設けているので、拡散層を低抵抗化でき、ロジック回路などを高速化できる。そのため、汎用DRAMと高速ロジック回路等とお互いの性能を低下させることなく混載できる。

【0016】また、本発明の半導体装置の製造方法は、絶縁層で回路用電界効果型トランジスタを覆った後、メモリセルを形成し、メモリセル形成後、回路用電界効果型トランジスタの拡散層表面を露出させ、そして露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する。

【0017】従って、メモリセルをシリサイド化等の被覆導電層を設けていない拡散層上に形成できるので、DRAM等における接合リークが増大することはない。また、既にメモリセルを形成した後に、回路用トランジスタの拡散層に被覆導電層を設けるので、メモリセルのキャパシタ形成時等の熱処理でシリサイド化等の被覆導電層における拡散層の抵抗が増加するという不都合も生じない。このため、本発明方法により製造された半導体装置は、メモリセル部においてはデータ保持特性が良好であり、回路部においては高速化が達成されている。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について具体的に説明するが、本発明は、下記の実施形態に限定されるものではない。

【第1実施形態】図1～図6は、フィン型記憶ノードを有するDRAMと、MOSTランジスタの拡散層にシリサイドが形成された回路部とを有する本発明の半導体装置の製造工程の一例を示すものである。

【0019】まず、図1に示すように、基板10表面に窒化シリコン膜などをパターニングして熱酸化する方法などにより素子分離領域(LOCOS)20を形成する。そして、ゲート酸化膜21を形成した後、タングステンポリサイド膜と数百nmの厚さで酸化膜をCVD等で堆積し、これらをパターニングしてゲート電極40とオフセット酸化膜22を形成する。次に、LDD用の不純物イオン注入を行い、LDD拡散領域11を形成する。その後、CVD法で数百nm厚の酸化珪素膜23、低圧CVD法により数十nm厚の窒化ケイ素膜24を形成した後、BPSG膜25をCVD法で数百nm堆積し、このBPSGを800～900℃でフローして図1の構造を得ることができる。

【0020】本実施形態では、回路用MOSTランジスタを絶縁層である酸化珪素膜23、窒化ケイ素膜24、及びBPSG膜25で覆った状態で、次にメモリセル部を作成する工程に入る。なお、回路部のトランジスタのサイドウォールは後で形成する。

【0021】図2に示すように、数十nmの不純物ドー

ブ多結晶ポリシリコン膜41及び数十nmの酸化ケイ素膜26をCVD等で形成した後、記憶ノードコンタクト用のレジストパターンを形成し、これをマスクとして、酸化ケイ素膜26、多結晶ポリシリコン膜41、BPSG膜25、窒化ケイ素膜24及び酸化ケイ素膜23を順次エッチングし、記憶ノードコンタクト12を開口させる。この場合、BPSG膜25と酸化ケイ素膜23とをエッチングする際には、窒化ケイ素膜24に対して高選択比のエッチングを行う。その後、不純物ドーブ多結晶シリコン膜42をCVD等で形成し、これによりこの多結晶シリコン膜42を多結晶シリコン膜41とLDD11とに電気的に接続する。次いで、記憶ノード用のレジストパターニングを行い、これをマスクとして多結晶シリコン膜42、酸化ケイ素膜26、多結晶シリコン膜41を順次異方性エッチングする。これにより、フィン型のスタック型記憶ノードを構成する下部電極が形成される。

【0022】次に、図3に示すように、IIFにて下部電極の多結晶シリコン膜42、41に挟まれた酸化膜26とBPSG膜25を窒化ケイ素膜24をストッパーとしてウエットエッチングを行う。これにより、キャパシタの下部電極のフィン部分(記憶ノード)が露出する。そして、RTAを900℃で1分程度アンモニア雰囲気下で行い、次に窒化ケイ素膜をCVD(約700℃)で形成し、続いて窒化ケイ素膜を例えば850℃、10分、 $H_2 + O_2$ の条件で酸化して、記憶ノードの表面にONO膜27を形成した後、プレート電極用の不純物ドーブ多結晶シリコン膜43と数十nmの低圧CVD窒化ケイ素膜をCVDで形成する。続いて、プレート電極用のレジストパターニングを行い、このレジストをマスクとして窒化ケイ素膜28と多結晶シリコン膜43のエッチングを行う。この場合、下部電極の多結晶シリコン膜42、41に挟まれた酸化膜26はそのまま残すこともでき、また、BPSG膜25は、上部電極形成後にエッチングすることも可能である。

【0023】更に、本実施形態においては、そのレジストを残し、続いて回路部の窒化ケイ素膜24と酸化膜23とを異方性エッチングを行う。これにより、図3に示すように、DRAMのキャパシタが完成すると共に、回路用MOSTランジスタのゲート電極40の側壁には、サイドウォール29が形成される。更に、周辺回路部のソース・ドレイン領域の基板10の表面が露出する。なお、レジストを除去した後、上部電極をマスクとして回路部の絶縁層をエッチングして拡散層を露出させるようにしても良い。

【0024】その後、図4に示すように、ソース・ドレイン用のイオン注入を行った後、熱処理を施し、ソース・ドレイン拡散層13を形成し、次いで例えばTi等の高融点金属を数十nm程度の厚さでスパッタリングし、650～850℃程度のランプアニールを行って、シリ

サイド層(被覆導電層)14を形成する。酸化ケイ素上に残存する未反応のTiは、 H_2O_2 を含む液でエッチオフする。この後、窒化ケイ素膜30を低圧CVD法で数十nm堆積し、更に酸化ケイ素膜31をCVDで数百nm程度堆積した後、これをCMP法(化学的機械研磨方法)などで平坦化する。これは、本実施形態が、キャパシタを形成した後、周辺回路部の基板面を露出させることから、かなりの段差が生じるため、例えば、図3に示すように、基板面からキャパシタの上面までは1.03 μm 程度、周辺回路のトランジスタの絶縁層の上面からDRAM部のトランジスタの上のキャパシタの上面までの段差は約0.58 μm 程度となる。

【0025】次いで、図5に示すように、DRAMセル部のビットコンタクト用のレジストパターンニングを行い、酸化膜31、窒化ケイ素膜30、窒化ケイ素膜28、上部電極用多結晶シリコン膜43、窒化シリコン膜24、酸化膜23を順次異方性エッチングすることにより、ビットコンタクト15を形成する。酸化ケイ素膜を数百nm程度CVDで堆積した後、これをエッチバックしてビットコンタクト孔側壁にサイドウォール32を形成し、このサイドウォール32によりプレート電極43と分離する。この後、ビットコンタクト部にはリンをドーパした多結晶シリコン膜44をCVD等で形成した後、エッチバックすることにより、ビットコンタクト孔を埋め込む。

【0026】最後に、図6に示すように、回路部にコンタクトのパターンニングを行い、酸化膜31と窒化ケイ素膜30とを異方性エッチングしてコンタクトを開口し、これにバリアメタル45を堆積した後、タングステン膜の堆積、エッチバックによりコンタクトをブランケットタングステン46で埋め込む。その後、1A1配線47、層間絶縁膜33、2A1配線48を行ってDRAMを搭載したデバイスが完成する。

【0027】本例の工程によれば、メモリセルの拡散層にはシリサイドを形成せずに、回路部の拡散層のみに確実にシリサイドを形成することができるので、回路部においてはロジック回路などの回路の低抵抗化による高速化が実現でき、DRAM部においてはデータの保持特性が良好である。また、予め熱処理が必要なメモリセルの形成を行ってから回路部のシリサイド形成を行っており、また、平坦化はCMPを用い、熱処理を伴うBPSGのフローなども行っていないので、作ったシリサイドに熱処理の影響がなく、抵抗上昇が生じることがないようにしている。また、回路部の絶縁層をエッチバックして拡散層を露出させる際に、トランジスタのゲート電極側壁にサイドウォールを形成しているため、工程を簡略化している。

【第2実施形態】次に、DRAMメモリセル部が、ダブルシリンドラ型(型)の記憶ノードで構成され、COB(Capacitor Over Bitline)であり、ロジック回路用MOST

ランジスタの拡散層に、被覆導電層として絶縁膜に形成した埋込用溝を埋めた埋込金属層を設けた半導体装置の製造方法の一例を説明する。

【0028】まず、図7(a)に示すように、基板10表面にパッド酸化膜、窒化シリコン膜などをパターンニングして熱酸化する方法などにより素子分離領域(LOCOS)20を形成する。そして、ゲート酸化膜21を熱酸化で形成した後、不純物ドーパントシリコンとタングステンシリサイド膜と酸化珪素膜を数百nmの厚さにCVD等で堆積し、これらをパターンニングしてゲート電極40とオフセット酸化膜22を形成する。次に、ゲート電極40とLOCOS20をマスクとしてAs又はリンを加速電圧数十keV程度、ドーパ量 $1 \times 10^{12} \sim 1 \times 10^{14}$ 程度でLDD用の不純物イオン注入を行い、LDD拡散領域11を形成する。

【0029】その後、図7(b)に示すように、酸化珪素膜を数十～数百nm程度CVDにて成膜し、これをエッチバックすることにより、ゲート電極40の側壁にサイドウォール29を形成する。そして、ソース・ドレイン用のイオン注入を行い、ソース・ドレイン13を形成する。次いで、低圧CVD法で窒化珪素膜24を数十nm程度の厚さで成膜し、更にBPSG膜25を数百nm程度CVDで形成し、BPSGをフロー又はCMPで平坦化する。

【0030】次に、図8(a)に示すように、レジストパターンニングと反応性イオンエッチングにより、ビットコンタクトBCを開口し、不純物ドーパントシリコン51とタングステンシリサイド52を数十nm成膜してビットコンタクトBC内面を覆い、その後パターンニングしてビット線53を形成する。

【0031】次いで、図8(b)に示すように、BPSG70を数百nmCVDで成膜し、これをフローするかあるいはCMPで平坦化した後、低圧CVD法で窒化珪素膜71を数十nmCVDで成膜する。そして記憶ノードコンタクトNCを開口し、酸化珪素膜を堆積後にエッチバックすることにより、記憶ノードコンタクト孔NC内壁に絶縁耐圧確保用のサイドウォール膜72を形成した後、ポリシリコンを堆積してエッチバックすることにより、記憶ノードコンタクト孔NCをポリシリコンプラグ54で埋める。

【0032】そして、図9に示すように、BPSG又はNSGで絶縁層73を数百nm程度堆積する。次いで、フォトリソグラフィにより、記憶ノードの形状にパターンニングしたレジストをマスクとして反応性イオンエッチングを用いて各記憶ノードコンタクト孔の上の絶縁層73を、窒化珪素膜71をエッチングストッパーとしてエッチングし、絶縁層73に記憶ノード用溝NIIを形成して記憶ノードポリシリコンプラグ54の表面を露出させる。

【0033】次に、キャパシタの下部電極となる不純物

ドーブ下側ポリシリコン膜55を数十～百数十nm程度CVDで堆積した後、酸化珪素膜を数十nm程度CVDで堆積して記憶ノード用溝NHを埋めた後、エッチバックすることにより、記憶ノード溝NH内壁にサイドウォール74を形成する。更に、不純物ドーブ上側ポリシリコン膜56を数十nm～百数十nm程度CVDで堆積した後、酸化珪素膜75を数百nm程度CVDで堆積する。

【0034】そして、酸化珪素膜75をエッチバックして上側ポリシリコン膜56を露出させ、続いて上側ポリシリコン膜56と下側ポリシリコン膜55とを酸化珪素に対して高選択比条件で反応性イオンエッチングを行う。これにより、図10に示すように、サイドウォール74の先端が露出する。

【0035】その後、図11に示すように、残存する酸化珪素膜75、酸化珪素膜73、及び酸化珪素で構成されるサイドウォール74を窒化珪素膜71をエッチングストッパーとしてHF希釈液などでエッチオフする。これにより、ダブルシリンドラ型型の記憶ノードが完成する。続いて不純物ドーブポリシリコン55、56表面を窒素ガス雰囲気中でランプアニールし、窒化珪素膜をCVDで数nm堆積し、更に窒化珪素膜を酸化することにより、ONO（酸化珪素／窒化珪素／酸化珪素）膜で構成される誘電体膜76を形成する。次に不純物ドーブポリシリコン膜57をCVDにより数十nm～百数十nm程度堆積し、次いで酸化珪素膜又は窒化珪素膜77を数百nmCVDで形成し、フォトリソグラフィによりポリシリコン膜57と絶縁膜77とをパターンニングしてプレート電極を形成する。あるいは、不純物ドーブポリシリコン57をパターンニングしてプレート電極を形成した後、酸化珪素膜又は窒化珪素膜77を数百nmCVDにより形成しても良い。これにより、図11に示すように、DRAMセル部が完成する。

【0036】次に、回路部のMOSトランジスタの拡散層に被覆導電層を形成する工程に入る。図12に示すように、ロジック回路部のMOSトランジスタを覆う絶縁層（窒化珪素膜71、酸化珪素膜70、酸化珪素膜25、窒化珪素膜24）を順次エッチングして拡散層に達する埋込用溝BHを形成する。そして、スパッタリング法又はCVD法により密着層としてのTi膜及びTiN膜58を形成し、次にタングステン膜をCVD法により形成する。その後、これらの密着層とタングステン膜を反応性イオンエッチングによりエッチバックして埋込用溝BHをタングステンプラグ59で埋め込み、埋込金属層（被覆導電層）60を形成する。あるいはエッチバックの代わりにCMP法で研磨しても良い。その後、層間絶縁膜となる酸化珪素膜78を数百nmCVDにより形成し、これをCMP法などで平坦化する。

【0037】最後に、図13に示すように、層間絶縁膜78にコンタクト孔を開口し、スパッタリング法にてT

iN膜61を数十nm程度、CVD法にてタングステン62を堆積した後、これらをパターンニングしてタングステン配線を形成する。この後、層間絶縁膜79を堆積した後、ビアホールを開口し、TiN膜63とタングステンプラグ64でビアホールを埋込み、TiN膜65とAlCu又はAlSiCu膜66で構成されるアルミニウム配線をパターンニングし、再び層間絶縁膜80を形成する。以下、これを繰り返して多層配線を形成する。

【0038】本例の工程によれば、メモリセルの拡散層には埋込金属層を形成せずに、回路部の拡散層のみに確実に埋込金属層60を形成することができるので、回路部においてはロジック回路などの回路の低抵抗化による高速化が実現でき、DRAM部においてはデータの保持特性が良好である。また、予め熱処理が必要なメモリセルの形成を行ってから回路部の被覆導電層（埋込導電層）形成を行っており、また、キャパシタを形成する前にビット線を形成しているため、ビット線形成時の熱の影響が埋込導電層に与えることがなく、埋込導電層60に抵抗上昇が生じることがないようにしている。

【0039】このようなオンチップDRAMのDRAM部の平面図を図14に示す。図9は、図14のA-A線に沿った断面図に相当する。図14では、DRAM部の4つのゲート電極40が並列に配線され、活性領域とゲート電極40とで第1トランジスタTr1と第2トランジスタTr2が構成されている。ビット線53はゲート電極40と直交しており、第1トランジスタTr1と第2トランジスタTr2の共通拡散領域のビットコンタクトBCでこれらのトランジスタと接続されている。ビットライン53の上に形成されている記憶ノードMNは、ノードコンタクトNHでトランジスタの拡散層と接続されている。メモリセルサイズは、 $1.20 \times 0.6 = 0.72 \mu\text{m}^2$ である。セル数は例えば5000である。

【0040】また、図15に、ロジック回路領域のトランジスタの平面図の一例を示す。この図は、トランジスタの拡散層に埋込金属層60を設け、拡散層の大部分の領域を埋込金属層で被覆した状態を示す。ゲート電極と活性領域とでトランジスタが構成されている。この埋込金属層60にはコンタクト孔を介してタングステン配線及びアルミニウム配線が接続されている。図16は、活性領域を分離する領域を示した平面図であり、活性領域間の離間距離は $0.50 \mu\text{m}$ 、タングステン配線と活性領域との離間距離は $0.32 \mu\text{m}$ に設定されている。

【0041】本実施形態では、埋込用溝を全部金属で埋めたが、露出した拡散層にチタンなどを堆積後反応させる方法などによりシリサイドを形成し、その後タングステンプラグで埋めるようにしても良い。本発明は、上記実施形態に限定されるものではない。例えば、DRAMを例にとって説明したが、これに限らず、FRAM、SRAM等キャパシタを有する半導体装置全てに適用で

き、その他、本発明の要旨を逸脱しない範囲で種々変更することができる。

【0042】

【発明の効果】本発明の半導体装置は、高速でかつデータ保持特性が良好なメモリセルと回路を混載した半導体装置である。また、本発明の半導体装置の製造方法によれば、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1実施形態における製造工程の一例を示す断面図である。

【図2】図1の続きの工程を示す断面図である。

【図3】図2の続きの工程を示す断面図である。

【図4】図3の続きの工程を示す断面図である。

【図5】図4の続きの工程を示す断面図である。

【図6】図5の続きの工程を示す断面図である。

【図7】(a)、(b)は、第2実施形態の製造工程を示す断面図である。

【図8】(a)、(b)は、図7の続きの工程を示す断面図である。

【図9】図8の続きの工程を示す断面図である。

【図10】図9の続きの工程を示す断面図である。

【図11】図10の続きの工程を示す断面図である。

【図12】図11の続きの工程を示す断面図である。

【図13】図12の続きの工程を示す断面図である。

【図14】第2実施形態におけるDRAM部の平面図である。

【図15】ロジック回路領域におけるトランジスタの平面図である。

【図16】ロジック回路領域における活性領域を分離する領域を示す平面図である。

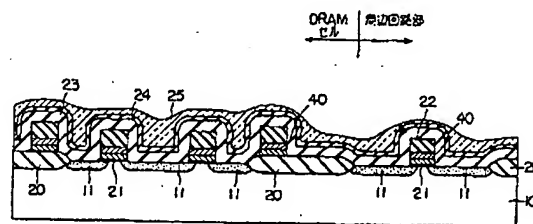
【図17】(a)、(b)は、従来のシリサイドを用いたキャパシタの製造工程を示す断面図である。

【図18】従来のDRAMを搭載したロジックデバイスの構造を示す断面図である。

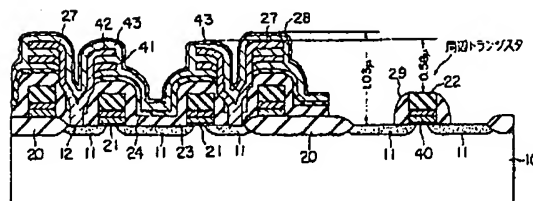
【符号の説明】

10：基板、11：LDD、13：ソース・ドレイン、14：シリサイド（被覆導電層）、20：LOCOS、21：ゲート酸化膜、23：酸化膜、24：窒化ケイ素膜、27：ONO膜、28：窒化ケイ素膜、40：ゲート電極、41、42：キャパシタの下部電極、43：キャパシタの上部電極（プレート電極）、53：ビット線、54：ポリシリコンプラグ、58：密着層、59：タングステンプラグ、60：埋込金属層（被覆導電層）NC：ノードコンタクト孔、NH：ノード用溝、BII：埋込用溝

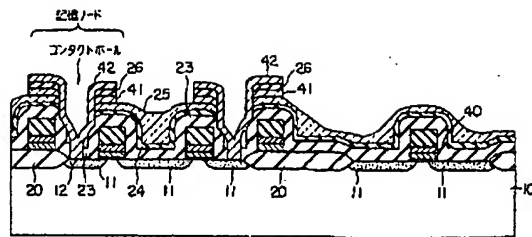
【図1】



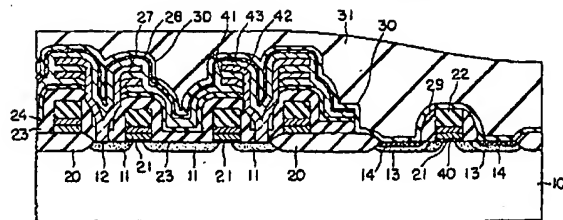
【図3】



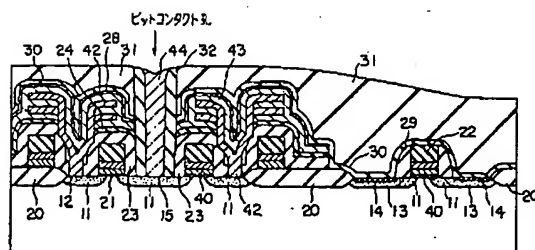
【図2】



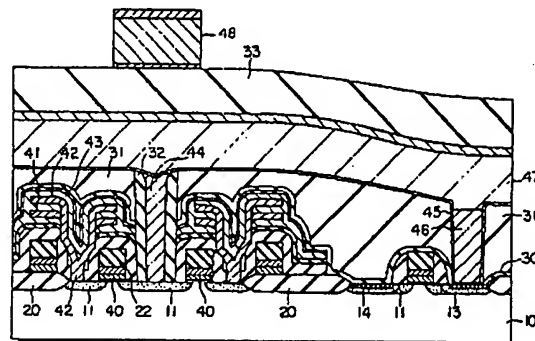
【図4】



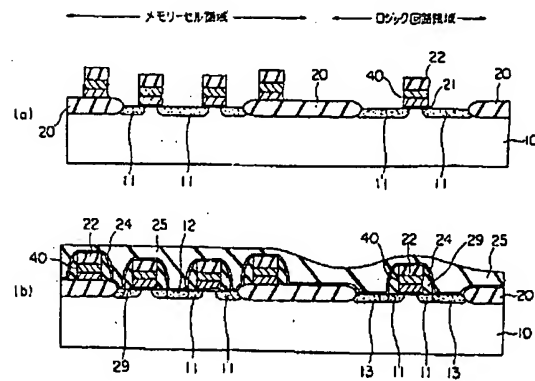
【図5】



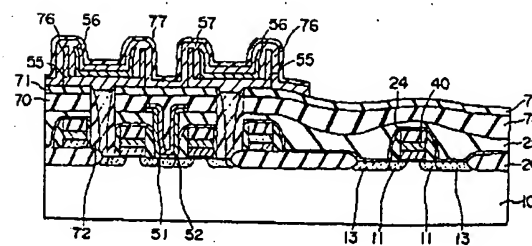
【図6】



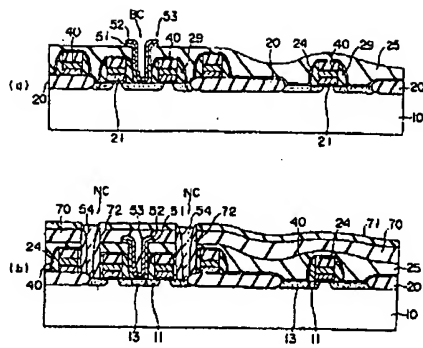
【図7】



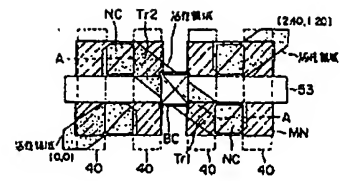
【図11】



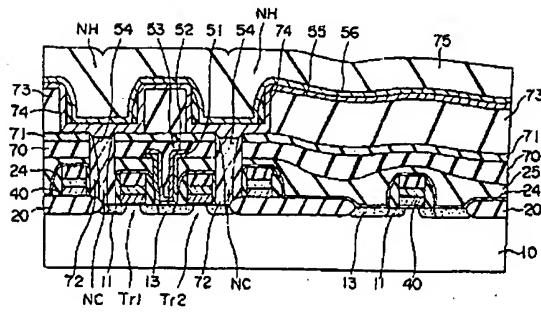
[図8]



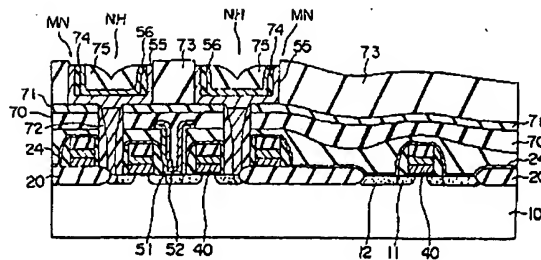
[図14]



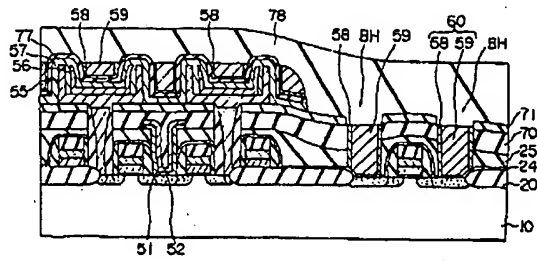
[図9]



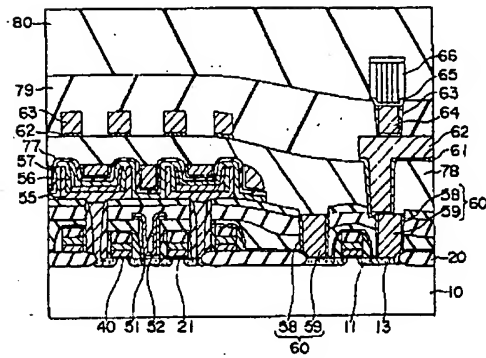
[図10]



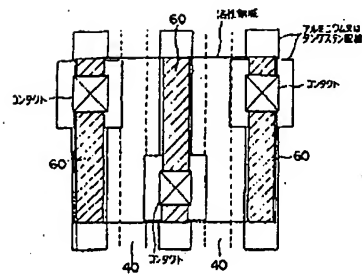
[図12]



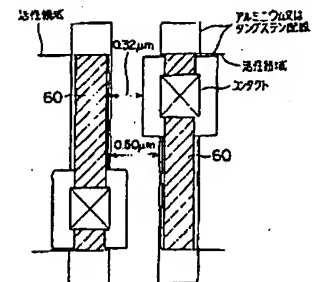
[図13]



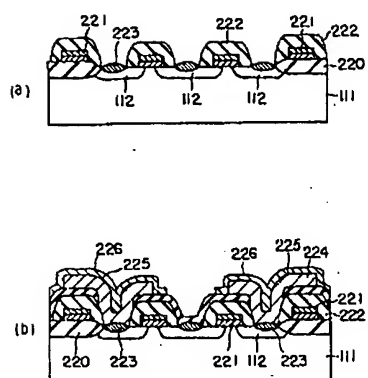
[図15]



[図16]



【図17】



【図18】

